

## 明 細 書

## 相変化型メモリ素子およびその製造方法

技術分野

本発明は消去可能型不揮発性メモリ素子、特に相変化型メモリ素子と、その製造方法に関する。

発明の背景

電氣的に書き換え可能であり、かつ、消去可能である相変化する材料、例えば、ほぼ非晶質（アモルファス）状態とほぼ結晶質状態との間、または、結晶質状態に維持されながら異なる抵抗状態の間で電氣的にスイッチングできる材料を記録材料として使用した相変化型メモリ素子が特開平５－２１７４０号公報に開示されている。

特開平５－２１７４０号公報に開示されている相変化型メモリ素子では、電極間に記録材料（相変化材料）が配設され、電極と記録材料の間に所定の大きさの開口を有する絶縁層が介在した構造となっている。そして、電極間にセットパルスを印加してオン状態とし、リセットパルスの印加によりオフ状態に戻される。しかし、電圧印加により記録材料に生じる電流パスの直径は $2\sim 3\mu\text{m}$ に達するため相変化領域の体積が大きく、オン状態からオフ状態に戻すリセットパルスとして大きな電流パルスが必要であるという問題があった。また、記録材料の相変化領域を除く部分は非晶質状態となっていることが必要であり、このため、相変化型メモリ素子を記録材料の結晶化温度以下で製造する必要があり、例えば、駆動回路を構成するトランジスタやダイオードの製造時の温度が制約を受けるという問題があった。

一方、特開平４－４５５８３号公報には、内径 $0.1\sim 1.5\mu\text{m}$ のコンタクトホールを設けた絶縁層の一方の面に、コンタクトホール内を充填するように記録材料層を設け、この記録材料層と絶縁層を下部電極と上部電極で挟持した構造の相変化型メモリ素子が開示されている。また、特開平４－４５５８５

号公報には、上下の電極間に記録材料を直径 $0.1 \sim 1.5 \mu\text{m}$ の柱状に形成し、この記録材料の周囲に絶縁層を形成した構造の相変化型メモリ素子が開示されている。

しかし、上述した特開平4-45583号公報および特開平4-45585号公報に開示の相変化型メモリ素子では、オン状態からオフ状態に戻すためのリセットパルスの電流は比較的小さくなり、また、プロセス温度の制約もなくなるものの、内径 $0.1 \sim 1.5 \mu\text{m}$ のコンタクトホール形成や、直径 $0.1 \sim 1.5 \mu\text{m}$ の柱状に記録材料を形成することは、高度な技術を要するため、歩留りが低いという問題があった。また、記録材料を充填するためのコンタクトホールの内径を小さくすること、あるいは、記録材料の直径を小さくすることは、製造技術上の限界があり、特開平4-45583号公報および特開平4-45585号公報に開示されるような構造の相変化型メモリ素子において集積度を向上させるには限界があった。

#### 発明の開示

本発明は、このような実情に鑑みてなされたものであり、オン状態からオフ状態に戻すためのリセットパルスの電流値が小さく、集積度の向上が可能であり、また、製造時のプロセス温度の制約がなく、製造が簡便な相変化型メモリ素子、ならびにその製造方法を提供することを目的とする。

このような目的を達成するために、本発明の相変化型メモリ素子は、絶縁層を介して配設された2以上の電極と、前記絶縁層と前記電極の少なくとも一部が露出している表出面と、少なくとも2つの前記電極に接触するように前記表出面上に設けられた相変化記録材料層と、を備えるような構成とした。

本発明の他の態様として、前記表出面は平面、多平面および曲面の少なくとも1つで構成されているような構成とした。

本発明の他の態様として、前記相変化記録材料層は厚みが $1 \sim 1000 \text{ nm}$ の範囲であるような構成とした。

本発明の他の態様として、1個のメモリ領域を構成する一対の電極間の前記絶縁層の厚みが $10 \sim 1000 \text{ nm}$ の範囲であるような構成とした。

本発明の他の態様として、前記相変化記録材料層はカルゴゲナイドの少なくとも1種を含有するような構成、あるいは、前記相変化記録材料層は有機材料からなるような構成とした。

本発明の他の態様として、前記表出面と前記相変化記録材料層との間にバリア層および／または熱制御層が存在するような構成とした。

また、本発明の相変化型メモリ素子の製造方法は、2以上の電極を絶縁材料により離間させて配設する工程と、前記絶縁材料と前記電極の少なくとも一部が露出する表出面を形成する工程と、該表出面上に前記電極の少なくとも2つに接触する相変化記録材料層を形成する工程と、を有するような構成とした。

#### 図面の簡単な説明

図1は、本発明の相変化型メモリ素子の基本的構成を示す一例の平面図である。

図2は、図1に示される相変化型メモリ素子のII-II線における縦断面図である。

図3は、本発明の相変化型メモリ素子の他の例を示す斜視図である。

図4は、本発明の相変化型メモリ素子の他の例を示す斜視図である。

図5は、本発明の相変化型メモリ素子の他の例を示す斜視図である。

図6は、本発明の相変化型メモリ素子の他の例を示す斜視図である。

図7は、本発明の相変化型メモリ素子の表出面における電極の配置を示す図である。

図8は、本発明の相変化型メモリ素子の表出面における電極の配置を示す図である。

図9は、本発明の相変化型メモリ素子の他の例を示す斜視図である。

図10は、本発明の相変化型メモリ素子の他の例を示す斜視図である。

図11は、本発明の相変化型メモリ素子においてダイオードを備えた集積回路手段に9個のメモリ領域を接続するための各メモリ領域から伸長する電極の構成例を示す斜視図である。

図12は、図11に示される相変化型メモリ素子の第1層目の3本の電極と

第2層目の3本の電極の配設状態を示す斜視図である。

図13は、図11に示される相変化型メモリ素子の第3層目の3本の電極と第4層目の3本の電極の配設状態を示す斜視図である。

図14は、図11に示される相変化型メモリ素子の第5層目の3本の電極と第6層目の3本の電極の配設状態を示す斜視図である。

図15は、本発明の相変化型メモリ素子の製造方法を説明するための工程図である。

図16は、本発明の相変化型メモリ素子の製造方法を説明するための工程図である。

#### 発明を実施するための最良の形態

以下、本発明について図面を参照しながら説明する。

#### 相変化型メモリ素子

図1は、本発明の相変化型メモリ素子の基本的構成を示す一例の平面図であり、図2は図1に示される相変化型メモリ素子のII-II線における縦断面図である。図1および図2において、相変化型メモリ素子1は、基板2とこの基板2の一方の面に配設された電極4、この電極4に絶縁層3を介して配設された電極5、この電極4と絶縁層3と電極5の積層体を覆うように形成されている絶縁層3'を備え、さらに、上記の電極4の端面4aと、絶縁層3の端面3aと、電極5の端面5aとが露出している平面である表出面7に相変化記録材料層8を備えている。表出面7に設けられた相変化記録材料層8は、絶縁層3の端面3aによって離間されている電極4の端面4aと電極5の端面5aに接触するものである。

この相変化型メモリ素子1では、一对の電極4、5と相変化記録材料層8が1個のメモリ領域を構成する。そして、一对の電極4と電極5の間にセットパルスを印加すると、表出面7に沿った電流パスが相変化記録材料層8中に生じて相変化領域8aとなる。この相変化領域8aでは、ジュール熱が発生して非晶質状態から結晶質状態に相変化し、抵抗値が低下して相変化型メモリ素子1がオン状態となる。また、電極4と電極5の間にリセットパルスを印加すると

、上記の相変化領域 8 a にジュール熱が発生し、その熱が周囲の相変化記録材料層 8 に奪われて急冷されて結晶質状態から非晶質状態に相変化して戻り、抵抗値が高くなって相変化型メモリ素子 1 がオフ状態となる。このような相変化型メモリ素子 1 の読み取りは、例えば、電極 4 にリードパルスを印加し、相変化領域 8 a のオン状態、オフ状態に対応して変化する電極 5 の出力を読み取ることで行うことができる。

このように、本発明の相変化型メモリ素子 1 は、相変化記録材料層 8 中に生じる電流パスが表出面 7 に沿ったものとなり、オン状態とオフ状態との間を可逆的に変化する相変化領域 8 a の体積は小さいものである。したがって、オン状態からオフ状態に戻すためのリセットパルスの電流値は小さいものとなる。また、相変化記録材料層 8 の形成は、相変化型メモリ素子 1 の製造の最終工程となるため、それ以前のプロセス温度の制約はないものとなる。

本発明の相変化型メモリ素子 1 を構成する基板 2 は、単結晶半導体基板、ガラス基板、シリコンウエハ、ポリカーボネート基板、アクリル基板、ポリエチレンテレフタレート基板、ポリプロピレン基板、フィルム等とすることができる。また、絶縁層 3、3' は、酸化珪素 ( $\text{SiO}_x$ )、アルミナ、ステアタイト、ポリイミド、ポリエチレン、ポリプロピレン、四フッ化エチレン、ポリ塩化ビニル、ガラス等の従来公知の絶縁材料を使用することができる。電極 4 と電極 5 を離間させるための絶縁層 3 の厚み  $T_1$  は、 $10 \sim 1000 \text{ nm}$ 、好ましくは  $10 \sim 300 \text{ nm}$  の範囲で設定することができる。絶縁層 3 の厚みが  $10 \text{ nm}$  未満であると、電極間の絶縁が不十分となったり、製造歩留りが低下し、また、絶縁層 3 の厚みが  $1000 \text{ nm}$  を超えると集積度の向上に支障を来すので好ましくない。

また、相変化型メモリ素子 1 を構成する電極 4、5 は、Ni、Al、Au、Cu、Ag、Mo、Ti、W、Ta、Cr およびこれらの合金、あるいは、酸化インジウムスズ (ITO)、インジウムチタン (IT)、酸化亜鉛 ( $\text{ZnO}$ ) 等の透明導電材料等の従来公知の導電材料を使用することができる。このような電極 4、5 の厚み  $T_2$  は、 $10 \sim 1000 \text{ nm}$ 、好ましくは  $10 \sim 300$

nmの範囲で設定することができる。また、電極4、5の幅Wは、 $0.05 \sim 1.5 \mu\text{m}$ 、好ましくは $0.05 \sim 1.0 \mu\text{m}$ の範囲で設定することができる。

相変化型メモリ素子1を構成する相変化記録材料層8は、カルコゲナイド、Te、S、Se、Ge、Sb、In、Ga、Bi、Ag、Pb、Sn、As、Si、P、Oから選択された合金および混合物等の無機材料、2-アミノ-4,5-イミダゾールジカーボニトリル(AIDCN)、N-(3-ニトロベンジリデン)-P-フェニレンジアミン(NBPDA)等の有機材料を使用することができる。図示例では、相変化記録材料層8が表出面7の全面に形成されているが、本発明はこれに限定されず、電極4の端面4aと電極5の端面5aに接触するものであれば制限はない。また、相変化記録材料層8の厚みは $1 \sim 1000 \text{ nm}$ 、好ましくは $1 \sim 500 \text{ nm}$ の範囲で設定することができる。

上述の例では、電極4の端面4aと、絶縁層3の端面3aと、電極5の端面5aとが露出している表出面7が平面であるが、本発明はこれに限定されるものではなく、例えば、各端面4a、端面3a、端面5aがそれぞれ平面であり、かつ、これらが所定の角度で連続するような多平面形状、あるいは、表出面7が曲面であるような形状であってもよい。

また、図示例では、電極4、5が伸長する方向(図2に矢印aで示される方向)と表出面7とがなす角度が $90^\circ$ であるが、本発明はこれに限定されるものではない。例えば、図3に示されるように、電極4、5が伸長する方向(図3に矢印aで示される方向)と表出面7とがなす角度 $\theta$ が $90^\circ$ 未満であってもよい。

また、本発明では、上記の相変化型メモリ素子1において、バリア層および熱制御層の少なくとも一方を介して相変化記録材料層8を表出面7上に配設してもよい。バリア層と熱制御層の両層を形成する場合、表出面7側に熱制御層が位置するように積層することが好ましい。バリア層は相変化記録材料層8と電極4、5との導通を保つとともに、相変化記録材料層8への異物の拡散、もしくは、相変化記録材料の他層への拡散を防止する作用をなすものであり、例えば、Ti、V、Cr、Zr、Nb、Mo、Hf、Ta、W、B、C、N、O

、Al、Si、P、S、Niおよびこれらの合金、あるいは、これらの組み合わせからなる材料で形成することができる。また、熱制御層は発生した熱の放冷を制御する作用をなすものであり、C、F、O、N、Si、Hf、 $Al_2O_3$  およびこれらの合金、あるいは、これらの組み合わせからなる材料で形成することができる。

本発明の相変化型メモリ素子は、基板を備えないものであってもよい。図4は、このような相変化型メモリ素子の一例を示す斜視図である。図4において、相変化型メモリ素子11は、絶縁層13を介して対向するように配設された1組の電極14、15と、この絶縁層13と電極14、15との積層体を封止するように形成されている絶縁体16を備え、さらに、上記の絶縁層13の端面13aと、電極14の端面14aと、電極15の端面15aとが露出している平面である表出面17に相変化記録材料層18を備えている。尚、図示例では、相変化記録材料層18は仮想線（2点鎖線）で示されており、表出面17の全面に設けられているが、この相変化記録材料層18は、絶縁層13の端面13aによって離間されている電極14、15の端面14a、15aに接触するものであればよく、配設位置、大きさ等には特に制限はない。

上述の例では説明を容易とするために1組の電極と1つの相変化記録材料層で構成される1個のメモリ領域を示しているが、本発明の相変化型メモリ素子は複数のメモリ領域を備えてもよいことは勿論である。図5は、本発明の相変化型メモリ素子の他の例を示す斜視図であり、相変化型メモリ素子21は、絶縁層23と、この絶縁層23のほぼ中央に形成された凹部26とを備え、凹部26の各側壁面は複数の電極24、25の端面が露出した表出面27を構成している。各電極24と電極25と間には絶縁層23が介在しており、表出面27上には、図示されていない相変化記録材料層を備えている。これにより、相変化型メモリ素子21では、凹部26内に複数のメモリ領域が形成されている。また、図6は、本発明の相変化型メモリ素子の他の例を示す斜視図であり、相変化型メモリ素子31は、絶縁層33と、この絶縁層33の各側壁面に端部が露出している複数の電極34、35を備えている。各電極34と電極35と

間には絶縁層 3 3 が介在しており、この絶縁層 3 3 の各側壁面が表出面 3 7 を構成し、図示されていない相変化記録材料層が表出面 3 7 上に形成されている。これにより、相変化型メモリ素子 3 1 では、絶縁層 3 3 の側壁面に複数のメモリ領域が形成されている。

上述のように絶縁層によって離間された電極が複数組存在する場合、電極を所定の規則性をもって配置することができる。図 7 および図 8 はこのような電極の配置例を示すものであり、図 7 では、絶縁層 4 3 に電極 4 4、4 5 がそれぞれ格子型となるように配置されている表出面 4 7 が示されている。また、図 8 では、絶縁層 4 3 に電極 4 4、4 5 がそれぞれ市松型となるように配置されている表出面 4 7 が示されている。図 8 に示される例では、1 組の電極を構成する電極 4 4 と電極 4 5（図中に鎖線で囲んだ 1 組の電極）の距離が、各電極のコナー部 4 4' と 4 5' との間で著しく小さいものとなり、電界強度を大きくすることができ、リセットパルスの電流をより少ないものとすることができる。

図 9 は、本発明の相変化型メモリ素子の他の例を示す斜視図である。図 9 において、相変化型メモリ素子 5 1 は、3 つの絶縁層 5 3 a、5 3 b、5 3 c が端部側の上面 5 3 a'、5 3 b'、5 3 c' を露出させて階段形状となるように積層され、各絶縁層の露出している上面 5 3 a'、5 3 b'、5 3 c' には、それぞれ所定の間隔で配設されている電極 5 4 a、5 4 b、5 4 c が露出している。そして、電極 5 4 a が露出している絶縁層 5 3 a の上面 5 3 a' と、絶縁層 5 3 b の端面 5 3 b'' と、電極 5 4 b が露出している絶縁層 5 3 b の上面 5 3 b' の 3 つの面が 1 つの表出面 5 7 a を構成し、この表出面 5 7 a に電極 5 4 a と 5 4 b を覆うように相変化記録材料層 5 8 a（図示例では鎖線で示してある）が設けられている。同様に、電極 5 4 b が露出している絶縁層 5 3 b の上面 5 3 b' と、絶縁層 5 3 c の端面 5 3 c'' と、電極 5 4 c が露出している絶縁層 5 3 c の上面 5 3 c' の 3 つの面が 1 つの表出面 5 7 b を構成し、この表出面 5 7 b に電極 5 4 b と 5 4 c を覆うように相変化記録材料層 5 8 b（図示例では鎖線で示してある）が設けられている。尚、絶縁層の層数は図示



例では3層であるが、これに限定されるものではない。

この相変化型メモリ素子51では、一对の電極54a、54bと相変化記録材料層58aが1個のメモリ領域を構成し、一对の電極54b、54cと相変化記録材料層58bが1個のメモリ領域を構成することにより、複数のメモリ領域（図示例では8個）を備えるものとなっている。そして、一对の電極54aと電極54bの間に、あるいは、一对の電極54bと電極54cの間にセットパルスを印加すると、相変化記録材料層58aあるいは58b中に、表出面57a、57bに沿った電流パスが生じ相変化領域となり、非晶質状態から結晶質状態に相変化し、抵抗値が低下してオン状態となる。また、一对の電極54aと電極54bの間に、あるいは、一对の電極54bと電極54cの間にリセットパルスを印加すると、相変化記録材料層58aあるいは58b中の相変化領域が結晶質状態から非晶質状態に相変化して戻り、抵抗値が高くなってオフ状態となる。

また、図10は、本発明の相変化型メモリ素子の他の例を示す斜視図である。図10において、相変化型メモリ素子61は、3つの絶縁層63a、63b、63cが端部側の上面63a'、63b'、63c'を露出させて階段形状となるように積層されている。絶縁層63aの上面63a'には、所定の間隔で複数組配設されている一对の電極64a、65aが露出している。同様に、絶縁層63bの上面63b'には電極64b、65bが露出しており、絶縁層63cの上面63c'には電極64c、65cが露出している。そして、電極64a、65aが露出している絶縁層63aの上面63a'が1つの表出面67aを構成し、この表出面67aに電極64a、65aを覆うように相変化記録材料層68a（図示例では鎖線で示してある）が設けられている。同様に、電極64b、65bが露出している絶縁層63bの上面63b'が1つの表出面67bを構成し、この表出面67bに電極64b、65bを覆うように相変化記録材料層68b（図示例では鎖線で示してある）が設けられている。また、電極64c、65cが露出している絶縁層63cの上面63c'が1つの表出面67cを構成し、この表出面67cに電極64c、65cを覆うように相

変化記録材料層 6 8 c（図示例では鎖線で示してある）が設けられている。尚、絶縁層の層数は図示例では 3 層であるが、これに限定されるものではない。

この相変化型メモリ素子 6 1 では、一对の電極 6 4 a、6 5 a と相変化記録材料層 6 8 a、一对の電極 6 4 b、6 5 b と相変化記録材料層 6 8 b、一对の電極 6 4 c、6 5 c と相変化記録材料層 6 8 c がそれぞれ 1 個のメモリ領域を構成することにより、複数のメモリ領域（図示例では 6 個）を備えるものとなっている。そして、例えば、一对の電極 6 4 a と電極 6 5 a の間にセットパルスを印加すると、相変化記録材料層 6 8 a 中に、表出面 6 7 a に沿った電流パスが生じ相変化領域となり、非晶質状態から結晶質状態に相変化し、抵抗値が低下してオン状態となる。また、一对の電極 6 4 a と電極 6 5 a の間にリセットパルスを印加すると、相変化記録材料層 6 8 a 中の相変化領域が結晶質状態から非晶質状態に相変化して戻り、抵抗値が高くなってオフ状態となる。

また、本発明の相変化型メモリ素子は、絶縁層で離間された一对の電極と相変化記録材料層からなる個々のメモリ領域を電氣的に分離する集積回路手段を備えるものであってもよい。このような集積回路手段は、例えば、トランジスタ、ダイオード等の公知の素子を備えるものとすることができる。図 1 1 は、ダイオードを備えた集積回路手段に 9 個のメモリ領域を接続するための各メモリ領域から伸長する電極の構成例を示す斜視図である。図 1 1 に示されるように、相変化型メモリ素子 7 1 は、基板 7 2 と、この基板 7 2 上に配設された第 1 層目の 3 本の電極 7 4 a と、第 2 層目の 3 本の電極 7 5 a と、第 3 層目の 3 本の電極 7 4 b と、第 4 層目の 3 本の電極 7 5 b と、第 5 層目の 3 本の電極 7 4 c と、第 6 層目の 3 本の電極 7 5 c と、各電極間に介在する絶縁層 7 3 とを備えている。そして、上記の 6 層、計 1 8 本の電極の端面と絶縁層の端面が露出している表出面 7 7 に相変化記録材料層（図示せず）が形成されている。

上記の相変化型メモリ素子 7 1 では、第 1 層目の 3 本の電極 7 4 a は基板 7 2 に形成された電極 7 2 a の所定位置に配設された 3 個のダイオード（図示せず）に接続され、第 3 層目の 3 本の電極 7 4 b は基板 7 2 に形成された電極 7 2 b の所定位置に配設された 3 個のダイオード（図示せず）に接続され、第 5

層目の3本の電極74cは基板72に形成された電極72cの所定位置に配設された3個のダイオード（図示せず）に接続されている。

また、相変化型メモリ素子71では、第2層目の3本の電極75aと第6層目の3本の電極75cは絶縁層73内を絶縁層側壁面73aまで引き出され、基板72上の端子部75'に接続されている。また、第4層目の3本の電極75bも絶縁層73内を絶縁層側壁面73aまで引き出され、基板72上の端子部75''に接続されている。

上述の6層の電極を、図12～14を参照して更に詳しく説明する。

図12は第1層目の3本の電極74aと第2層目の3本の電極75aの配設状態を示す斜視図である。図12において、第1層目の3本の電極74aは基板72に形成された電極72aの所定位置に配設された3個のダイオード76aに接続するように伸長されている。また、絶縁層73（一点鎖線で示されている）を介して第1層目の3本の電極74a上に配設されている第2層目の3本の電極75aは、絶縁層側壁面73a方向に引き出され、絶縁層側壁面73aを、基板72上の端子部75'に接続するように伸長されている。

また、図13は第3層目の3本の電極74bと第4層目の3本の電極75bの配設状態を示す斜視図である。図13において、第3層目の3本の電極74bは、第2層目の3本の電極75aを覆うように形成された絶縁層73上を絶縁層後壁面73b方向に伸長され、絶縁層後壁面73bを、基板72に形成された電極72bの所定位置に配設された3個のダイオード76bに接続するように伸長されている。また、絶縁層73（一点鎖線で示されている）を介して第3層目の3本の電極74b上に配設されている第4層目の3本の電極75bは、絶縁層側壁面73a方向に引き出され、絶縁層側壁面73aを、基板72上の端子部75''に接続するように伸長されている。尚、3個の端子部75''は上記の3個の端子部75'と共通としてもよい。

また、図14は第5層目の3本の電極74cと第6層目の3本の電極75cの配設状態を示す斜視図である。図14において、第5層目の3本の電極74cは、第4層目の3本の電極75bを覆うように形成された絶縁層73上を絶

縁層後壁面 7 3 b 方向に伸長され、絶縁層後壁面 7 3 b を、基板 7 2 に形成された電極 7 2 c の所定位置に配設された 3 個のダイオード 7 6 c に接続するように伸長されている。また、絶縁層 7 3（一点鎖線で示されている）を介して第 5 層目の 3 本の電極 7 4 c 上に配設されている第 6 層目の 3 本の電極 7 5 c は、絶縁層側壁面 7 3 a 方向に引き出され、絶縁層側壁面 7 3 a を、第 2 層目の 3 本の電極 7 5 a とともに基板 7 2 上の端子部 7 5' に接続するように伸長されている。

これにより、第 1 層目の 3 本の電極 7 4 a の各端面と第 2 層目の 3 本の電極 7 5 a の各端面から 3 個のメモリ領域 A 1, A 2, A 3（図中に鎖線で囲まれる領域）が構成される。同様に、第 3 層目の 3 本の電極 7 4 b の各端面と第 4 層目の 3 本の電極 7 5 b の各端面から 3 個のメモリ領域 B 1, B 2, B 3（図中に鎖線で囲まれる領域）が構成され、第 5 層目の 3 本の電極 7 4 c の各端面と第 6 層目の 3 本の電極 7 5 c の各端面から 3 個のメモリ領域 C 1, C 2, C 3（図中に鎖線で囲まれる領域）が構成される。

また、上述の例では、第 2 層目の 3 本の電極 7 5 a と第 6 層目の 3 本の電極 7 5 c が接続されている基板 7 2 上の端子部 7 5' と、第 4 層目の 3 本の電極 7 5 b が接続されている基板 7 2 上の端子部 7 5'' とが電氣的に独立しているので、メモリ領域の変更が可能である。すなわち、第 2 層目の 3 本の電極 7 5 a の各端面と第 3 層目の 3 本の電極 7 4 b の各端面から 3 個のメモリ領域を構成することができ、第 4 層目の 3 本の電極 7 5 b の各端面と第 5 層目の 3 本の電極 7 4 c の各端面から 3 個のメモリ領域を構成することができる。

本発明の相変化型メモリ素子は、外部環境の影響が及ぶのを防止するために、相変化記録材料層や露出している電極等を覆うように封止してもよい。封止部材としては、エポキシ系、シリコン系などの封止部材を使用することができる。

#### 相変化型メモリ素子の製造方法

次に、本発明の相変化型メモリ素子の製造方法について、上述の図 1 および図に示される相変化型メモリ素子を例として説明する。

図15および図16は、本発明の相変化型メモリ素子の製造方法を説明するための工程図である。本発明では、まず、単結晶半導体基板、ガラス基板等の基板2上にNi、Al、Au等の導電材料を使用して導電層を形成し、この導電層をフォトリソ法等によりパターニングして電極層4を形成する(図15(A))。

次いで、電極層4を覆うように基板2上に酸化珪素( $\text{SiO}_x$ )、アルミナ、ポリイミド等の絶縁層3を積層する(図15(B))。絶縁層3の形成は、気相成長法、液相成長法等の化学的方法や、コーティング法、真空蒸着法、スパッタリング法等の物理的方法等により行うことができる。さらに、上記の絶縁層3上にNi、Al、Au等の導電材料を使用して導電層を形成し、この導電層をフォトリソ法等によりパターニングして電極層5を形成する(図15(C))。これにより、電極4と電極5が絶縁層3により離間されて配設される。

次に、電極層5を覆うように絶縁層3上に酸化珪素( $\text{SiO}_x$ )、アルミナ、ポリイミド等の絶縁層3'を積層する(図16(A))。その後、電極4、5の伸長方向(図16(A)に矢印aで示される方向)に対して垂直に絶縁層3の端面3a、電極4の端面4a、および、電極5の端面5aが露出する表出面を形成する(図16(B))。この表出面7の形成は、エッチング、ワイヤーカッター等の機械的な切断や破断、マスキングイオンビームによる削り出し等により行うことができる。

次いで、表出面7に相変化記録材料層8を形成する(図16(C))。相変化記録材料層8の形成は、コーティング法、真空蒸着法、スパッタリング法、プラズマCVD法、イオンプレーティング法等により行うことができる。形成する相変化記録材料層8の厚みは1~1000nm、好ましくは1~500nmの範囲とすることができ、本発明では、相変化記録材料層8の薄膜化、および、厚み制御が容易である。

上述のような本発明の製造方法は、電極4、5間の距離を決定する絶縁層3の厚みをナノオーダーで制御できる。このため、従来の相変化型メモリ素子に

比べてメモリ領域の集積度を高くすることができる。また、コンタクトホール  
の形成工程や柱状の相変化記録材料の形成工程が不要であり、製造が簡便であ  
る。

### 実施例

次に、実施例を示して本発明を更に詳細に説明する。

#### [実施例 1]

ガラス基板上にスパッタリング法によりNiの導電層を形成し、この導電層  
をフォトリソ法によりパターニングして厚み200nm、幅1.0μm  
のストライプ状の電極層を形成した。次に、この電極層を覆うようにガラス基  
板上にSiO<sub>2</sub>からなる絶縁層（電極層上の厚み200nm）をプラズマCVD  
法により形成した。その後、この絶縁層3上にスパッタリング法によりNi  
の導電層を形成し、この導電層をフォトリソ法によりパターニングして  
厚み200nm、幅1.0μmのストライプ状の電極層を上記の電極層に対し  
て絶縁層を介して対向するように形成した。これにより、厚み200nmの2  
つのストライプ状の電極層が厚み200nmの絶縁層により離間された積層構  
造を形成した。

次に、電極層を覆うように絶縁層上にSiO<sub>2</sub>からなる絶縁層（厚み0.2  
μm）をプラズマCVD法により形成した。

次いで、上記のストライプ状の電極の伸長方向に対し垂直な面でワイヤーカ  
ッターによりガラス基板、電極層、絶縁層を切断し、断面を研磨して電極の端  
面が露出する表出面を形成した。

次に、この表出面上にスパッタリング法によりカルコゲナイド（TeSb）  
合金の薄膜を成膜して、相変化記録材料層（厚み200nm）を形成し、相変  
化型メモリ素子を作製した。

上述のように作製した相変化型メモリ素子について、書き込み、読み取り、  
消去、読み取りを行った。すなわち、電極間にセットパルス電流（1.0mA）  
を印加してオン状態とした後にリードパルス電流（0.01mA）を印加し  
て読み取りを行い、次いで、電極間にリセットパルス電流（5.0mA）を印

加してオン状態とした後にリードパルス電流（ $0.01\text{ mA}$ ）を印加して読み取りを行うことを1回の記録とし、この記録を30回繰り返し行った。その結果、オン状態での読み取り時の抵抗値の平均は約 $450\ \Omega$ であり、オフ状態での読み取り時の抵抗値の平均は約 $1800\ \Omega$ であった。このことから、本発明の相変化型メモリ素子は、低いリセットパルス電流であっても確実に機能することが確認された。

#### [実施例2]

2つのストライプ状の電極層の厚みを $50\text{ nm}$ 、幅を $0.5\ \mu\text{m}$ とし、カルコゲナイド（ $\text{TeSb}$ ）合金の薄膜からなる相変化記録材料層の厚みを $10\text{ nm}$ とした他は実施例1と同様にして相変化型メモリ素子を作製した。

上述のように作製した相変化型メモリ素子について、実施例1と同様に書き込み、読み取り、消去、読み取りを行った結果、オン状態での読み取り時の抵抗値の平均は約 $200\ \Omega$ であり、オフ状態での読み取り時の抵抗値の平均は約 $800\ \Omega$ であった。このことから、本発明の相変化型メモリ素子は、低いリセットパルス電流であっても確実に機能することが確認された。

以上詳述したように、本発明によれば絶縁層と電極が露出している表出面に少なくとも2つの電極に接触するように相変化記録材料層が設けられているので、相変化記録材料層中の電流パスは上記表出面に沿ったものとなり、オン状態とオフ状態との間を可逆的に変化する相変化領域の体積は小さく、したがって、オン状態からオフ状態に戻すためのリセットパルスの電流値が小さいものとなり、かつ、相変化記録材料層の上記の相変化領域を除く部分は、非晶状態と結晶状態のいずれでもよいので、製造時のプロセス温度の制約がなく、また、電極間距離を決定する絶縁層の厚みはナノオーダーで制御できるため、従来の相変化型メモリ素子に比べて集積度が大幅に向上し、さらに、コンタクトホールや柱状の相変化記録材料を用いないので、製造が簡便であるという効果が奏される。

### 請求の範囲

1. 絶縁層を介して配設された2以上の電極と、  
前記絶縁層と前記電極の少なくとも一部が露出している表出面と、  
少なくとも2つの前記電極に接触するように前記表出面上に設けられた相変化記録材料層とを備えてなる、相変化型メモリ素子。
2. 前記表出面は、平面、多平面および曲面の少なくとも1つで構成されている、請求項1に記載の相変化型メモリ素子。
3. 前記相変化記録材料層は、厚みが1～1000nmの範囲である、請求項1に記載の相変化型メモリ素子。
4. 1個のメモリ領域を構成する一对の電極間の前記絶縁層の厚みが10～1000nmの範囲である、請求項1に記載の相変化型メモリ素子。
5. 前記相変化記録材料層はカルコゲナイドの少なくとも1種を含有する、請求項1乃至請求項4のいずれかに記載の相変化型メモリ素子。
6. 前記相変化記録材料層は有機材料からなる、請求項1乃至請求項4のいずれかに記載の相変化型メモリ素子。
7. 前記表出面と前記相変化記録材料層との間にバリア層および／または熱制御層が存在する、請求項1に記載の相変化型メモリ素子。
8. 2以上の電極を絶縁材料により離間させて配設する工程と、  
前記絶縁材料と前記電極の少なくとも一部が露出する表出面を形成する工程と、  
該表出面上に前記電極の少なくとも2つに接触する相変化記録材料層を形成する工程と、を含む、相変化型メモリ素子の製造方法。



## 要 約 書

本発明は、オン状態からオフ状態に戻すためのリセットパルスの電流値が小さく、集積度の向上が可能であり、また、製造時のプロセス温度の制約がなく、製造が簡便な相変化型メモリ素子およびその製造方法を提供するものであり、相変化型メモリ素子を、絶縁層を介して配設された２以上の電極と、絶縁層と電極の少なくとも一部が露出している表出面と、少なくとも２つの電極に接触するように表出面上に設けられた相変化記録材料層と、を備えるものとし、この相変化型メモリ素子の製造方法は、２以上の電極を絶縁材料により離間させて配設する工程と、絶縁材料と電極の少なくとも一部が露出する表出面を形成する工程と、この表出面上に電極の少なくとも２つに接触する相変化記録材料層を形成する工程からなることを特徴とするものである。